

邏輯系統實驗 Logic System Design Lab

Department of Electrical Engineering
National Cheng Kung University

Instructor: Professor Chung-Ho Chen (陳中和)

Contact Information: Rm 92625, 06-2757575 ext. 62394, chchen@mail.ncku.edu.tw

Lab Class Hours: (Tue)09:10~12:00, (Tue)15:10~18:00

Teaching Assistant: 許雁婷、朱玉婷、周沛辰、黃瀚群、Maitheen

TA Contact Information: Rm 92617, 06-2757575 ext.62400 ext.1722

1. 實驗課自編教材
2. Verilog 硬體描述語言(Verilog HDL) — 原著:Samir Palnitkar、原出版社: Prentice Hall; 編譯: 黃英叡, 黃稚存, 張銓淵, 江文啟、全華科技圖書

Lab:

- 實驗一：麵包板 — 基本邏輯閘實作
- 實驗二：麵包板 — 半加器與全加器實作
- 實驗三：麵包板 — 多工器/解多工器 與 編碼器/解碼器實作
- 實驗四：認識 Verilog 與 Xilinx & SMIMS 軟體介紹與操作
- 實驗五：Verilog 基本介紹
- 實驗六：VeriLite 實驗電路板之介紹與操作
- 實驗七：虛擬裝置與 VeriInstrument
- 實驗八：Verilog 的行為模型 與 七段顯示器、開關器與按鈕器之應用
- 實驗九：軟硬體共同實驗(一)：正反器實作
- 實驗十：軟硬體共同實驗(二)：按鈕器之進階控制實作
- 實驗十一：軟硬體共同實驗(三)：有限狀態機之實作與文字型 LCD 之應用
- 實驗十二：組合電路與序向電路的差異 & 專題實作範例及期末作業解說

Grading:

- | | |
|---------|-----|
| 1. 實驗 | 50% |
| 2. 期末考 | 20% |
| 3. 期末實作 | 30% |

Note:

1. 實驗室禁止攜入白開水以外的食物飲料，並請勿穿拖鞋入內。
2. 曠課兩次以上(含兩次)，一律 **不及格**。欲請假時，除緊急事故外，必須本人事先透過電話或 Mail 向實習助教請假，否則視同曠課。
3. 每次上課請 **每人** 自行準備麵包板與三用電表。 **每組** 準備一份課程講義（在課程網頁下載）。
4. 每次實習後 **每組** 均須繳交結報，書面報告於下次上課時繳交，電子檔請於下次上課前上傳至 FTP 站，逾時不候。
5. 實驗結報請按照 **以下規則** 撰寫，否則將斟酌扣分。規則如下：
實驗結報封面需提供 第 n 次實驗、撰寫日期、第 n 組、組員姓名與學號。
內容要有題目、結果及心得。每人要有各自的心得，彙整在一份結報上。
6. 作業上傳 FTP：140.116.164.225 帳號/密碼：logic_lab / logic2020
助教信箱：許雁婷 f74042094@gmail.com (A) 朱玉婷 a11025112@gmail.com (A)
周沛辰 sq0332ppps@gmail.com (B) 黃瀚群 international723@gmail.com (B)
Maitheen maitheonchat@gmail.com (B)